

## [HW2A] 4 bit adder

**Equation:**  $a + b + c + d = C_2C_1S$

**Inputs:**  $a, b, c, d$

**Outputs:**

$S = \text{lsb}$

$C_1 = \text{second bit}$

$C_2 = \text{msb}$

**Logic:**

$\text{`}$  = not

$\cdot$  = and

$+$  = or

$\wedge$  = xor

**Math:**

$$\begin{aligned} S &= a \cdot b \cdot c \cdot d + \text{`}a \cdot b \cdot c \cdot d + \text{`}a \cdot b \cdot c \cdot \text{`}d + \text{`}a \cdot b \cdot \text{`}c \cdot d + \\ &\quad \text{`}a \cdot b \cdot c \cdot d + a \cdot \text{`}b \cdot c \cdot d + a \cdot b \cdot \text{`}c \cdot d + a \cdot b \cdot c \cdot \text{`}d \\ &= (a \cdot b \cdot c \cdot d + \text{`}a \cdot b \cdot c \cdot d) + (a \cdot \text{`}b \cdot c \cdot d + \text{`}a \cdot b \cdot \text{`}c \cdot d) + \\ &\quad (a \cdot b \cdot c \cdot \text{`}d + a \cdot b \cdot \text{`}c \cdot d) + (\text{`}a \cdot b \cdot c \cdot \text{`}d + \text{`}a \cdot \text{`}b \cdot \text{`}c \cdot d) \\ &= c \cdot d \cdot (a \cdot b + \text{`}a \cdot b) + \text{`}c \cdot d \cdot (a \cdot \text{`}b + \text{`}a \cdot b) + \\ &\quad a \cdot b \cdot (c \cdot d + \text{`}c \cdot d) + \text{`}a \cdot \text{`}b \cdot (c \cdot d + \text{`}c \cdot d) \\ &= c \cdot d \cdot (a \wedge b) + \text{`}c \cdot d \cdot (a \wedge b) + a \cdot b \cdot (c \wedge d) + \text{`}a \cdot \text{`}b \cdot (c \wedge d) \\ &= (a \wedge b) \cdot (c \cdot d + \text{`}c \cdot d) + (c \wedge d) \cdot (a \cdot b + \text{`}a \cdot b) \\ &= (a \wedge b) \cdot \text{`}(c \wedge d) + \text{`}(a \wedge b) \cdot (c \wedge d) \\ &= (a \wedge b) \wedge (c \wedge d) \end{aligned}$$

$$\begin{aligned} C_1 &= \text{`}a \cdot b \cdot c \cdot d + \text{`}a \cdot b \cdot \text{`}c \cdot d + \text{`}a \cdot b \cdot c \cdot \text{`}d + \text{`}a \cdot b \cdot c \cdot d + \\ &\quad a \cdot \text{`}b \cdot \text{`}c \cdot d + a \cdot \text{`}b \cdot c \cdot \text{`}d + \text{`}a \cdot b \cdot c \cdot \text{`}d + a \cdot \text{`}b \cdot c \cdot d + \\ &\quad a \cdot b \cdot \text{`}c \cdot d + a \cdot b \cdot \text{`}c \cdot d + a \cdot b \cdot c \cdot \text{`}d \\ &= (a \cdot \text{`}b \cdot c \cdot \text{`}d + \text{`}a \cdot b \cdot c \cdot \text{`}d) + (a \cdot \text{`}b \cdot \text{`}c \cdot d + \text{`}a \cdot b \cdot \text{`}c \cdot d) + \\ &\quad (a \cdot \text{`}b \cdot c \cdot d + \text{`}a \cdot b \cdot c \cdot d) + (a \cdot b \cdot c \cdot \text{`}d + a \cdot b \cdot \text{`}c \cdot d) + \\ &\quad (a \cdot b \cdot \text{`}c \cdot d + \text{`}a \cdot \text{`}b \cdot c \cdot d) \\ &= c \cdot \text{`}d \cdot (a \cdot \text{`}b + \text{`}a \cdot b) + \text{`}c \cdot d \cdot (a \cdot \text{`}b + \text{`}a \cdot b) + \\ &\quad c \cdot d \cdot (a \cdot \text{`}b + \text{`}a \cdot b) + a \cdot b \cdot (c \cdot \text{`}d + \text{`}c \cdot d) + \\ &\quad (a \cdot b) \cdot \text{`}(c \cdot d) + \text{`}(a \cdot b) \cdot (c \cdot d) \\ &= c \cdot \text{`}d \cdot (a \wedge b) + \text{`}c \cdot d \cdot (a \wedge b) + \\ &\quad c \cdot d \cdot (a \wedge b) + a \cdot b \cdot (c \wedge d) + \\ &\quad [(a \cdot b) \wedge (c \cdot d)] \\ &= (a \wedge b) \cdot (c \cdot \text{`}d + \text{`}c \cdot d) + \\ &\quad c \cdot d \cdot (a \wedge b) + a \cdot b \cdot (c \wedge d) + \\ &\quad [(a \cdot b) \wedge (c \cdot d)] \\ &= (a \wedge b) \cdot (c \wedge d) + c \cdot d \cdot (a \wedge b) + a \cdot b \cdot (c \wedge d) + [(a \cdot b) \wedge (c \cdot d)] \end{aligned}$$

$$C_2 = a \cdot b \cdot c \cdot d$$

## Circuit Diagram for LSB

- rectangles are input/output
- XOR gates are represented by their normal
- XOR gates are from SN54/74LS86
  - <http://maven.smith.edu/~thiebaut/classes/270/datasheets/sn74ls86rev5.pdf>

